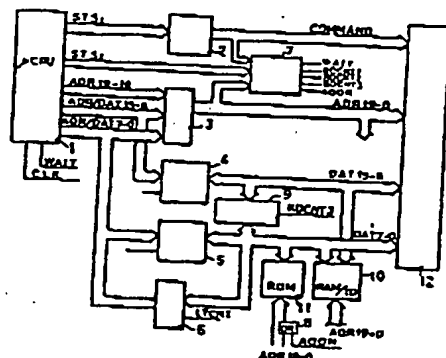


**(54) MICROPROCESSOR SYSTEM**

(11) 63-83644 (A) (43) 14.4.1988 (19) JP  
 (21) Appl. No. 61-228006 (22) 29.9.1986  
 (71) TOSHIBA CORP (72) TSUTOMU TAKENAKA  
 (51) Int. Cl. G06F12/00

**PURPOSE:** To reduce the packaging space of a microprocessor system by adding a hardware to automatically convert a word transfer command into the byte transfer commands of plural times.

**CONSTITUTION:** When a word transfer command is produced from a microprocessor 1, a timing generating circuit 7 checks whether a word transfer 11 of the 8-bit data width. If said ROM 11 is decided, the microprocessor 1 is set under a waiting state with the ON state of a WAIT signal. Then the ROM data is latched by a latch circuit 6 by an LTCNT signal after the access A<sub>0</sub>N set at "1" and the waiting state of the processor 1 is released after the access time of the ROM 11. In such a case, the latch data 7-0 of the circuit 6 is outputted and the processor 1 fetches the read data 15~8 and 7-0 equivalent to 2 bytes of the ROM.



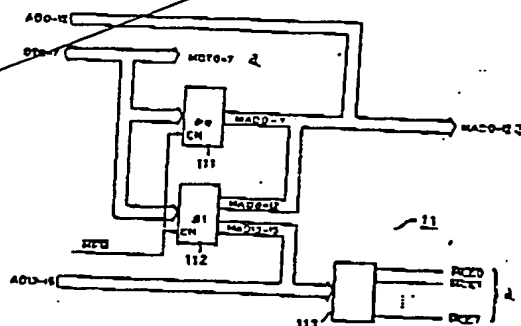
5: latch circuit, 4,5,9: bidirectional bus driver, 10: 16-bit RAM/IO, 11: 8-bit ROM, 12: extension bus

**(54) MEMORY CARD**

(11) 63-83845 (A) (43) 14.4.1988 (19) JP  
 (21) Appl. No. 61-228009 (22) 29.9.1986  
 (71) TOSHIBA CORP (72) HIROYUKI SAKAMOTO  
 (51) Int. Cl. G06F12/06, G06F12/02, G06K19/00

**PURPOSE:** To ensure the application of a memory card to both memory bus and input/output bus systems by controlling the output of an address register and an address bus based on a connection interface and validating the direct or indirect addressing.

**CONSTITUTION:** A bus switch signal MEM is set at "1" with the interface of a memory bus system together with the outputs of address registers 111 and 112 set under high impedance states. Then the address signal received from 113 to give the direct addressing to a memory address bus MAD<sub>0</sub>-12 and a decoder the data processor. While the signal MEM is set at "0" with the interface of an input/output bus system. Then the bus MAD<sub>0</sub>-12 and the decoder 113 are driven based on the registers 111 and 112.



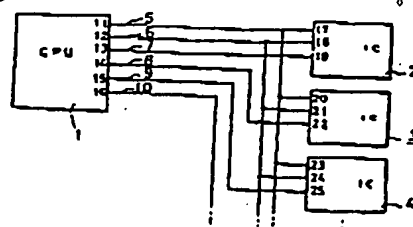
11: 16-bit RAM/IO, 12: extension bus

**(54) SYSTEM FOR CONTROLLING SERIAL TRANSFER**

(11) 63-83846 (A) (43) 14.4.1988 (19) JP  
 (21) Appl. No. 61-230631 (22) 29.9.1986  
 (71) TOSHIBA CORP (72) TETSUO MAKINO  
 (51) Int. Cl. G06F13/00, G06F13/38

**PURPOSE:** To decrease the number of signal lines and to shorten the data transfer time by making the clock output serve as the chip selection of a peripheral IC and at the same time including at least one of the designation of a read/write mode, the designation of an address and the designation of the data bit length into a serial output.

**CONSTITUTION:** The clocks on signal lines 7~10 are outputted from a CPU 1 only when data are transferred to an IC and also simultaneously used as a chip selecting function as well. In a write mode viewed from the CPU 1, the write data is outputted to a serial output line 5 synchronously with those clocks. In a read mode the output of an IC is enabled when the clock is set at a low level and outputted to a serial input line 6. The input/output switch parts in the peripheral IC 2~4 are written and read, the address information stored in the relevant IC is written to the IC prior to the data write/read actions. The numbers of address and data bits are decided by the initialization data obtained in an initialization mode, etc.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-83844

⑮ Int.Cl.  
G 06 F 12/00識別記号  
3 0 3庁内整理番号  
H-6711-5B

⑬ 公開 昭和63年(1988)4月14日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 マイクロプロセッサシステム

⑯ 特 願 昭61-228006

⑰ 出 願 昭61(1986)9月29日

⑱ 発 明 者 竹 中 勉 東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内  
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地  
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

## 1. 発明の名称

マイクロプロセッサシステム

## 2. 特許請求の範囲

nビットデータバス幅を持つマイクロプロセッサに、このマイクロプロセッサとは異なるmビットのデータバス幅で構成されるROMチップが接続されて成り、上記マイクロプロセッサから連続した複数バイトをアクセスするワード転送命令が発行されたとき、そのワード転送命令をn/m回のバイト転送命令に変換出力するものであって、その実行すべきアドレスに相当するROMチップのデータバス幅がmビット構成かどうかチェックする第1の回路手段と、この回路手段によりmビット構成であることが確認されたとき、上記マイクロプロセッサをWAIT状態に設定し、そのROMチップに必要なコマンドパルス幅を確保した後、ROMチップ出力をラッチする第2の回路と、ラッチ後、ROMアドレスの最下位ビットを更新し奇偶アドレスを切替える第3の回路手段と、更新後のアドレスの

アクセスタイムを確保した後マイクロプロセッサのWAITを解除し変換動作を終了する第4の回路手段とを具備することを特徴とするマイクロプロセッサシステム。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## (産業上の利用分野)

本発明は、nビットのデータバス幅を持つマイクロプロセッサに、mビットのデータバス幅で構成されるROMチップが接続されて成るマイクロプロセッサシステムに関する。

## (従来の技術)

近年半導体技術の進歩によりマイクロプロセッサ、周辺LSIが安価に供給されるようになった。これらLSI(DMAコントローラ他)を適宜組合わせるだけで比較的高性能なコンピュータシステムを構築出来、容易にシステム設計がなされる様に配慮されている。又、マイクロプロセッサ自身も8ビット処理のものから16ビット、32ビット処理のものへとビット幅の拡張がなされ、その処

処理能力が強化されている。

(発明が解決しようとする問題点)

ところで、従来データバス幅が16ビットのマイクロプロセッサにおいてはROM、RAM共16ビット幅とするのが一般的であった。従って、ROMの容量は近年256kビット、1メガビットと高容量化が進んでいるにもかかわらずROMチップのデータバス幅は8ビットと変更がない。

高容量化が進み、システムのプログラム容量はROMチップ1個ですむようになったが、データバス幅が16ビットの場合ROMチップが2個必要となりコストアップ、部品スペース大となってしまう。

本発明は上述した欠点に鑑みてなされたものであり、ワード転送コマンドを複数回のバイト転送コマンドに自動変換するハードウェアを付加することにより変換スペースの削減をはかり軽小短薄化をねらったマイクロプロセッサシステムを提供することを目的とする。

[発明の構成]

第1図は本発明の実施例を示すブロック図である。図において1はマイクロプロセッサ(μCPU)である。本発明実施例ではマイクロプロセッサとして米国INTEL社より販売されている16ビットマイクロプロセッサ8086を使用している。図中、STS<sub>1</sub>・STS<sub>2</sub>はマイクロプロセッサ1から出力される状態情報(ステータス)、ADR<sub>11</sub>～<sub>16</sub>はアドレスビットA<sub>11</sub>～A<sub>16</sub>である。又、ADR/DAT<sub>11</sub>～<sub>16</sub>はアドレスとデータビット<sub>11</sub>～<sub>16</sub>がマルチプレクサされ、ラッチ回路3、双方向バスドライバ5に供給されることを示している。ADR/DAT<sub>1</sub>～<sub>10</sub>もデータビット<sub>1</sub>～<sub>10</sub>がマルチプレクサされ、更に双方向バスドライバ5、ラッチ回路6へ供給される他は上述と同様である。CLKはCPUクロックである。

2はコマンド変換回路である。コマンド変換回路2はマイクロプロセッサ1から出力されるステータス(STS<sub>1</sub>)をコマンドに変換する回路であり、ここで生成される信号にはメモリリード・メモリライト・I/Oリード・I/Oライト・アドレスラッチ・イネーブル、割り込み許可信号等が含まれる。

(問題点を解決するための手段と作用)

本発明は上記ハードウェアとして、マイクロプロセッサから、例えば偶数アドレスより始まる連続した2バイトをアクセスするワード転送命令が発行されたとき、アクセス対象となるROMチップのデータ幅が8ビットか否かをチェックする回路と、8ビットデータ幅であることが確認されたとき、マイクロプロセッサをWAITさせROMチップに必要なコマンドパルス幅を確保した後ROM出力をラッチする回路と、次にアドレスの最下位ビットを強制ONし奇数アドレスとする回路と、更新後のアドレスのアクセスタイムを確保した後、マイクロプロセッサのWAITを解除し変換動作を終える回路で構成される。

このことにより、部品点数の削減がはかれ、変換スペースが少なくて済むため装置の軽小短薄化に貢献出来る。

(実施例)

以下、図面を使用して本発明実施例につき詳細に説明する。

3はラッチ回路である。ラッチ回路3はマイクロプロセッサ1から出力されるアドレス信号ADR<sub>11</sub>～<sub>16</sub>、アドレス/データ信号ADR/DAT<sub>11</sub>～<sub>16</sub>、アドレスデータ信号ADR/DAT<sub>1</sub>～<sub>10</sub>をアドレスとしてラッチする回路でタイミング発生回路7及び拡張バス12に対しアドレス信号ADR<sub>1</sub>～<sub>10</sub>を、オアゲート8に対しアドレス信号ADR<sub>0</sub>を供給する。そして8ビットROM11に対し、アドレスADR<sub>11</sub>～<sub>16</sub>を、16ビットRAM10に対してアドレスADR<sub>11</sub>～<sub>16</sub>を供給する。

4は双方向バスドライバである。双方向バスドライバ4はデータバスDAT<sub>11</sub>～<sub>16</sub>の入出力をコントロールするもので、メモリ、I/Oシステムバスに接続される。6はデータバスDAT<sub>1</sub>～<sub>10</sub>の入出力をコントロールする双方向性バスドライバであり、メモリ、I/Oシステムバスに接続される。6はラッチ回路である。ラッチ回路6はデータラインDAT<sub>1</sub>～<sub>10</sub>を伝播するデータをラッチする為の回路で、バス変換時に使用される。

7はタイミング発生回路であり、コマンド変換回路2からの指示を受け各種タイミング信号を発

生ずる。図中、WAITはマイクロプロセッサをウェイト(WAIT)状態に設定する信号、BDCNT<sub>1</sub>は双方向バスドライバ<sub>1</sub>出力の許可/禁止及びゲータの入出力方向を決定する信号、BDCNT<sub>2</sub>は双方向バスドライバ<sub>2</sub>の出力許可/禁止及びゲータの入出力方向を決定する信号、LTCNTはラッチ回路<sub>6</sub>のゲータラッチタイミング及び出力の許可/禁止のコントロール信号、BDCNT<sub>3</sub>は双方向バスドライバ<sub>3</sub>の出力の許可/禁止及び入出力方向を決定する信号、A<sub>0</sub>ONはオアゲート<sub>8</sub>の出力を強制的に“1”とする信号である。オアゲート<sub>8</sub>の一方の入力端子にはラッチ回路<sub>3</sub>を介して供給されるアドレスビットA<sub>0</sub>が、他方の入力端子にはタイミング発生回路からA<sub>0</sub>ON信号が供給されており、ここで論理条件のとられた結果はROM<sub>11</sub>のアドレスの最下位ビットに接続される。

9はゲータバスラインDAT<sub>15</sub>〜とDAT<sub>7</sub>〜を結ぶ双方向バスドライバである。10は16ビットゲータ幅のメモリ(RAM)及び入出力デバイス(MEM/IO)、11は8ビットゲータ幅のROM、12

まず、第2図から説明を始める。マイクロプロセッサ1がROM<sub>11</sub>のREADコマンドを発行すると、コマンド変換回路2によりコマンドが出力される。この時ADR<sub>15</sub>〜を伝播するアドレスビットA<sub>15</sub>〜も出力され、目的のアドレスをアクセスする。

次に第3図を説明する。マイクロプロセッサ1は最初のサイクルでROM<sub>11</sub>の奇数アドレスを、次にアドレスを更新(プラス1)してROM<sub>11</sub>の偶数アドレスをバイト単位でアクセスする。第4図はワード転送コマンドにて偶数アドレスから始まるROM<sub>11</sub>の2バイトアクセス時のバスの変換を示すものである。本変換は8ビット幅しかないROM<sub>11</sub>に対して16ビット幅のワード転送コマンドが発行された時必要になる。

マイクロプロセッサ1がワード転送コマンドを発行するとタイミング発生回路7で偶数アドレスより始まるワード転送コマンドであるか、又その対象が8ビットゲータ幅のROM<sub>11</sub>であるかのチェックが行われ、そうであれば、まずWAIT信号ONによりマイクロプロセッサ1をウェイト(WAIT)

は拡張バスである。

第2図、第3図、第4図は本発明実施例の動作を示すタイミングチャートである。それぞれバイト転送コマンド到来時の動作タイミング、ワード転送コマンドにて奇数アドレスから始まる2バイトをアクセスする場合の動作タイミング、ワード転送コマンドにて偶数アドレスから始まる2バイトをアクセス時、バイト命令に変換する際の動作タイミングを示す。尚、第2図〜第4図において示された信号名、符号は第1図のそれと同等である。

以下、本発明実施例の動作につき、第2図以降に示したタイミングチャートを参照しながら説明する。マイクロプロセッサ1のマシンサイクルはT<sub>1</sub>〜T<sub>4</sub>のクロックで構成される。図中のTWはマイクロプロセッサ1を待機させる為のウェイト(WAIT)サイクルである。第2図と第3図に示したタイミングチャートはマイクロプロセッサ1が標準的に持っている機能で第4図に本発明により実現される機能が説明されている。

状態に設定する。そして、ROM<sub>11</sub>のアクセスタイム経過後LTCNT信号により、ROMゲータをラッチ回路<sub>6</sub>にラッチする。そしてA<sub>0</sub>ONを“1”としてROM<sub>11</sub>のアドレスを更新(プラス1)してROMのアクセスタイム経過後ウェイト(WAIT)状態を解除する。この時、ラッチ回路<sub>6</sub>のラッチゲータ<sub>7</sub>が出力され、マイクロプロセッサ1はTW-2の終了時、ROM 2バイト分のリードゲータ15〜8、7〜0を取り込むことによりREADオペレーションを終了する。

尚本発明実施例では16ビットマイクロプロセッサに8ビット幅のROMを接続する場合についてのみ例示し説明してきたが、これに限定されるのではなく32ビットのマイクロプロセッサに8ビット、16ビットのゲータ幅を持つROMを接続するケースにおいても同様の方式にて応用可能である。

#### [ 発明の効果 ]

以上説明の如く本発明によれば、ゲータバス幅を8ビットとする事が可能となるため、部品点

